

# 波形整形回路による通信システムノイズ対策

有限会社プロエクシ 小澤富士男  
ProXi Fjio Ozawa

## 1. はじめに

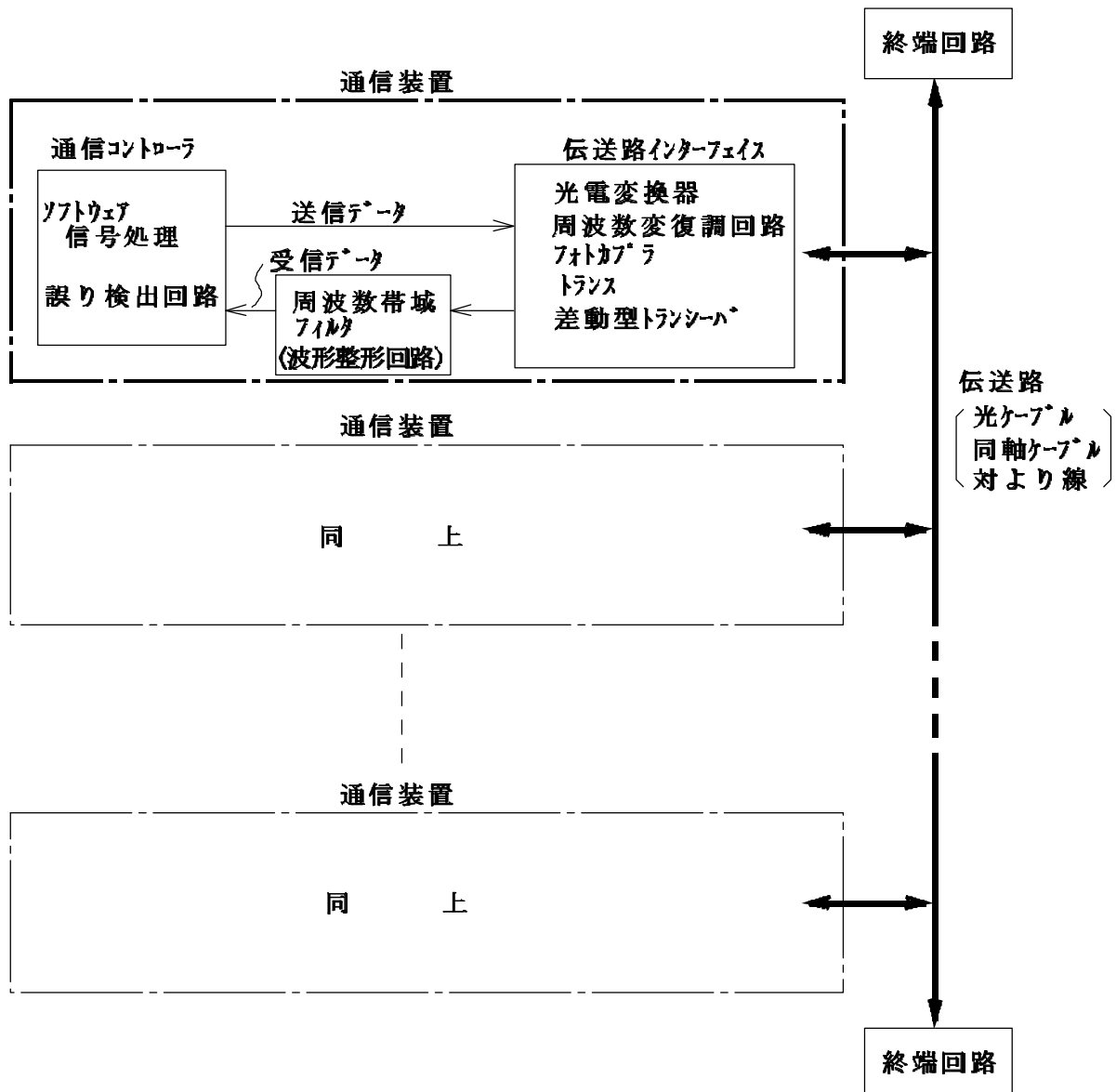
通信システムにおけるノイズ対策は従来から様々な方法が知られており、実用的には満足されるレベルにあると思われる。しかし、ノイズ対策には充分過ぎるということはなく、効果があるならばコストとの兼ね合いで、できる限りのノイズ対策を施したいものである。

本稿では低コスト、場合によってはコストゼロで大きな効果を得ることができる波形整形回路によるノイズ対策について、一般論及びA R C N E T (Attached Resource Computer NETwork)をベースとしたL A N (Local Area Network)への適用例を、主として設計の観点から述べる。

## 2. 一般的ノイズ対策

### 2-1 一般的ノイズ対策

[ 図 1 ] にノイズ対策にポイントをおいた一般的な通信システムの例を示す。



[ 図 1 ] 通信システム例

通信システムにおける主なノイズ対策は以下のようなものである。

### (a) コモンモードノイズ対策

コモンモードノイズがノーマルモードノイズにならないようにする。

フォトカプラ、トランス、光ケーブルによる伝送路と制御回路の絶縁、差動型トランシーバ(ライ

ンドライバ/レシーバ)の使用、通信回路のシールド、同軸ケーブル、対より線の使用等がある。

(b) ノーマルモードノイズ対策

ノーマルモードノイズは受信回路に信号に重畳して現われる。周波数帯域フィルタによるノイズ除去、誤り検出回路またはソフトウェア処理による信号処理手続きによるノイズ除去(パリティチェック、連送チェック、CRC、エラー時の再送等)等の対策がある。

(c) 信号波形歪み対策

ケーブルの周波数特性またはケーブル端での信号の反射により、信号波形歪みが生ずる。周波数特性の良いケーブルの使用、光伝送、信号変調、ケーブル終端回路の使用等で対策する。

### 2 - 2 ノイズ対策の問題点

光ケーブルによる通信がノイズ対策上は最良であるが、コスト、工事の作業性、装置占有スペースの点で採用し難い。信号変調やシールドケーブル使用も同様であり、低コスト、簡便さを要求される通信システムでは採用できない場合がある。

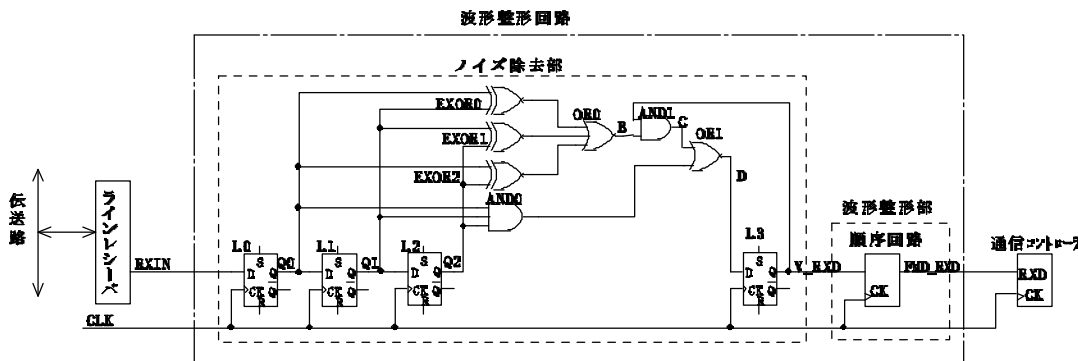
### 3 . 波形整形回路によるノイズ対策

2 . 節の対策を施しても完全にノイズの影響を除けるとは限らない。特に低価格LANのように、伝送路対より線を使用する場合は2 - 1 (b)のノーマルモードノイズが、受信信号に現れる可能性が高くなる。

ここでは、[ 図 1 ]の周波数帯域フィルタに相当する位置、即ち伝送路インターフェイスと通信コントローラの間、ノイズ除去と信号波形歪み除去機能を持つ波形整形回路を設けることによる、ノイズ対策方法について述べる。

#### 3 - 1 波形整形回路の構成

[ 図 2 ]に波形整形回路の構成を示す。回路はシステムクロック(CLK)に同期して動作する、ノイズ除去部と波形整形部からなる。



[ 図 2 ] 波形整形回路構成

CLKにより受信信号をサンプリングするので、信号の最小パルス幅の1 / 2 以下の周期、実用的には1 / 4 以下の周期が得られるCLK周波数が必要である。

#### 3 - 2 ノイズ除去部の動作

ノイズ除去部は、信号に載ったノーマルモードノイズを除去するための回路である。

[ 図 3 ]にノイズ除去部のタイムチャートを示す。

受信信号RXINのレベルの状態変化をラッチL0、L1、L2で検出する。各ラッチの出力Q0、Q1、Q2が全て一致するとOR0ゲート出力は0になるのでAND1ゲートが閉じ、AND0ゲートの出力がOR1ゲートを經由して有意な確定信号V\_RXDとしてL3でラッチされる。

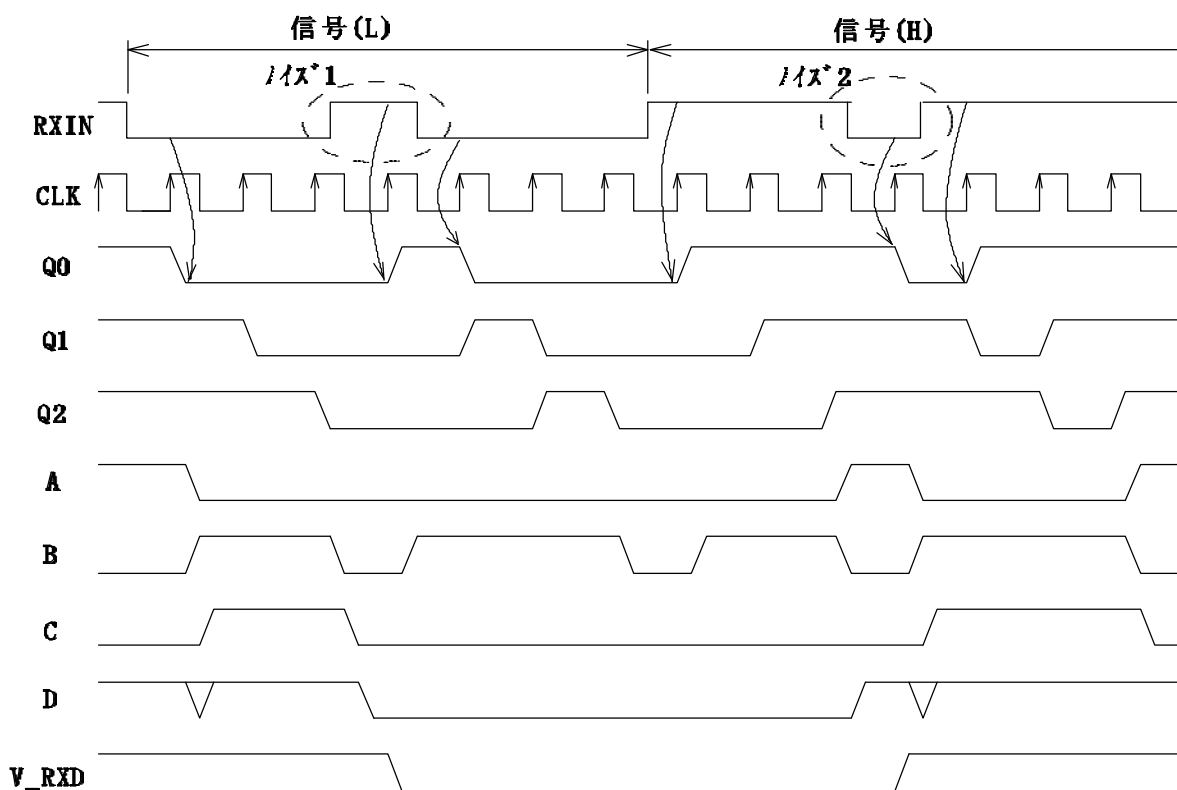
Q0、Q1、Q2に1、0が混在する場合は、AND0ゲート出力が0になると共に、EXOR0 ~ 2ゲート出力の何れかが1になるのでOR0ゲート出力が1になり、AND1ゲートが開く。これによりラッチL3の出力V\_RXDがラッチL3入力にフィードバックされ再度ラッチL3でラッチ、即ちホールドされる。これにより2CLKの時間幅以下の信号はノイズとして除去される。

[ 図 2 ]ではノイズ除去を3段のラッチで示しているが、ラッチの段数を増やし、CLK周波数を上げるとノイズ除去機能は高まる。

除去できるノイズの時間幅NwはCLK周波数fと使用するラッチの段数nで決まり、式となる。

$$N_w = (n - 1) / f \dots\dots$$

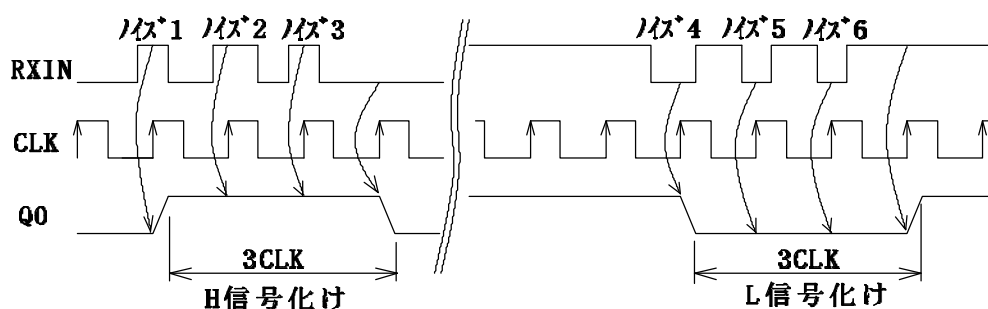
$N_w \sim N_w + 1$  の時間幅のパルスはCLKとの位相により、除去される場合とされない場合がある。  
 また、本回路はCLKとは非同期の受信信号をラッチL0によりCLKに同期させる機能と、このL0のメタステーブル状態による回路誤動作を回避する機能も併せ持つ。



[ 図 3 ] ノイズ除去部タイムチャート

[ 図 3 ] では信号L上のノイズ1、信号H上のノイズ2を除去する様子を示している。

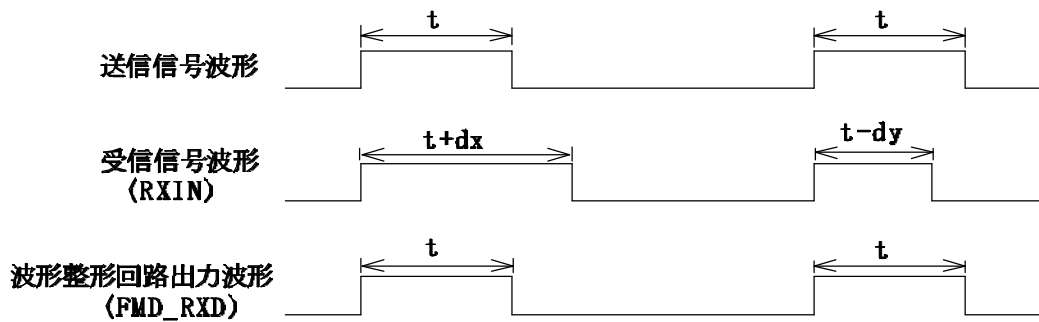
なお、[ 図 4 ] に示すように、本回路では短いパルス幅のノイズでも、ノイズ1～3、ノイズ4～6のように状態変化検出用ラッチの段数以上のノイズが、CLKに同期して連続に入るとQ0出力は信号に化けるので除去できない。



[ 図 4 ] CLKに同期したノイズの信号化け

### 3 - 3 波形整形部の動作

波形整形部は[ 図 5 ] のように、受信信号の波形歪み時間  $d_x$ 、 $d_y$  を修正し、規定の信号波形時間  $t$  にするためのものである。



[ 図 5 ] 波形歪みの修正

3 - 2 でノイズ除去された有意の信号  $V\_RXD$  を順序回路により、強制的に規定の符号パターンに整形する。従って、順序回路は伝送符号のパターンに応じて構成する必要がある。詳細は 4 . 節による。

なお、この順序回路で波形整形できるのは、一連の信号が一定の波形になる R Z (Return to Zero) 符号やマンチェスタ符号等のような符号形態のものである。

N R Z (Non Return to Zero) 符号のように H または、L レベルの時間が不定のものについては、別途伝送されてくる同期クロックをからめる等の対策が必要になる。

#### 3 - 4 波形整形回路の特長

全てデジタル回路で構成できるので、タイミング設計がしやすく、かつ誤差がほとんど無い。また、容易に L S I の中に組み込むことができる。特に最近多用される F P G A (Field Programmable Gate Array)、大規模 P L D (Programmable Logic Device) を使用するシステムでは、その一部分として本回路を含めれば、専用の部品を用いずに本回路を適用することができる。この場合は部品実装スペース、コスト共にゼロになる。

#### 4 . 波形整形回路適用例

R Z 符号を用いる A R C N E T をベースにした L A N システムは、波形整形回路の実現が比較的容易である。

ここでは同システムに対応した、20ピン P L D ( G A L 1 6 V 8 相当品 ) 1 個で構成した波形整形回路を、適用例として示す。

#### 4 - 1 A R C N E T の仕様

##### (a) 主な仕様

[ 表 1 ] に主な仕様を示す。

項 目	仕 様
データ転送ビット・レート	2 . 5 M b p s
最大ノード数	2 5 5 ノード / ネットワーク
プロトコル	A R C N E T (改良型トークン・パッシング方式)
トポロジー	バス、スター、ツリー及びこれらの複合
パケット・データ・サイズ	1 ~ 2 5 3 バイト (ショートパケット) 2 5 7 ~ 5 0 8 バイト (ロングパケット)
パケットバッファ容量	ショートパケット時 : 8 ページ・パケット / 2 K b y t e ロングパケット時 : 4 ページ・パケット / 2 K b y t e
最大延長距離	6 . 4 k m / ネットワーク
伝送媒体 (ケーブル)	7 5 または 9 3 の同軸ケーブル ツイスト・ペア・ケーブル 光ファイバ・ケーブル
信号コード形式	ベースバンド ダイパルス

[ 表 1 ] A R C N E T の主な仕様

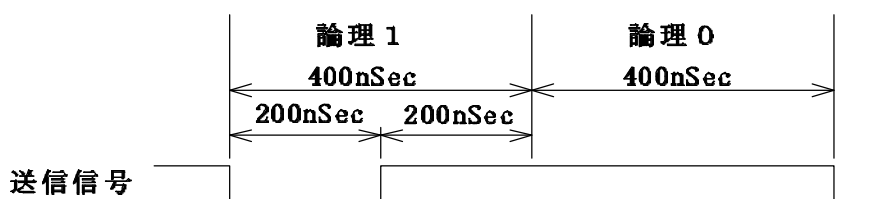
##### (b) 通信コントローラ

C O M 2 0 0 2 0 B (Standard Microsystems Corporation) をバックプレーンモードで使用。

##### (c) 受信信号波形

[ 図 6 ] に信号波形を示す。論理 1 が L レベル 2 0 0 n S e c、H レベル 2 0 0 n S e c の R Z 符

号、論理 0 は H レベル継続である。



[ 図 6 ] 信号波形

#### 4 - 2 波形整形回路仕様

##### (a) ノイズ除去

100nSec 以下の H または L レベルのパルスを除去。100 ~ 150nSec のパルスは CLK との位相により除去する場合としない場合がある。

##### (b) CLK 周波数

20MHz (周期 50nSec)。コントローラに供給するクロックと共用する。

##### (c) 波形整形

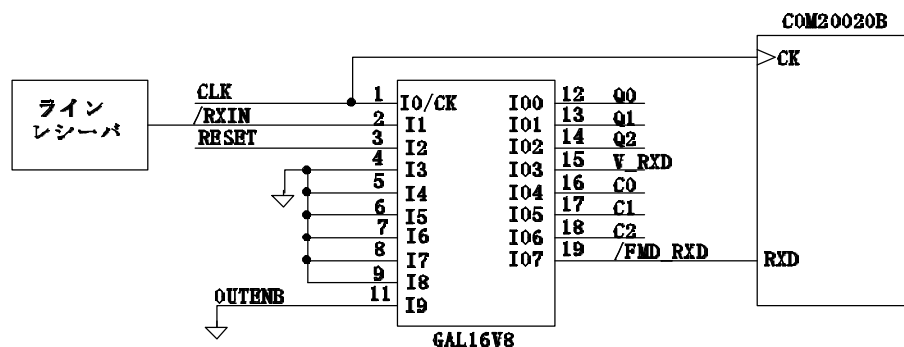
論理 1 の L レベル期間を受信信号波形、ノイズの有無に関わらず 200nSec に整形する。

##### (d) 使用デバイス

GAL16V8 (ラティスセミコンダクタ) 相当の 20ピン PLD、1 個

#### 4 - 3 回路構成

[ 図 7 ] に回路構成を示す。



[ 図 7 ] PLD による波形整形回路構成

#### 4 - 4 ノイズ除去部

ノイズ除去回路は [ 図 2 ] のものと同様とする。但し、通信コントローラが負論理のため、波形整形回路の入力 RXIN、出力 FMD\_RXD 共に負論理で示し、システムのリセット信号 RESET (正論理) を入れ、回路の初期化ができるようにする。

除去するノイズの時間幅  $N_w$  は 式より

$$\begin{aligned} N_w &= (n - 1) / f \\ &= (3 - 1) / 20 [\text{MHz}] \\ &= 100 [\text{nSec}] \end{aligned}$$

となる。詳細は 3 - 2 による。

#### 4 - 5 波形整形部の詳細

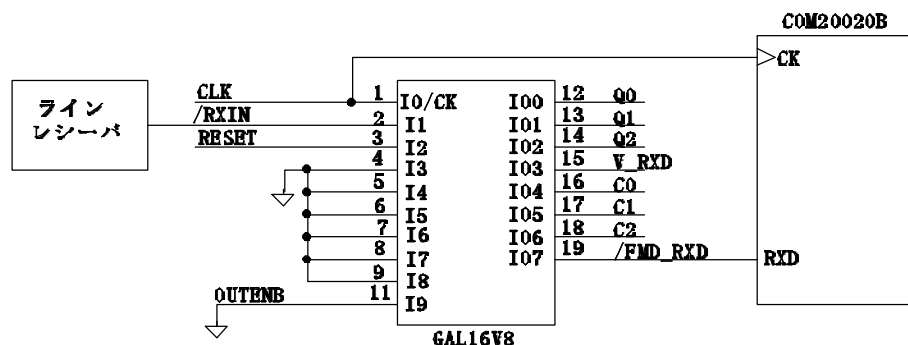
波形整形部は [ 図 8 ] に示すように 4 ビットのラッチによる順序回路で構成する。その内の 3 ビットのステートカウンタは、変化するカウンタ出力が常に 1 ビットであり出力にヒゲが出ないグレイコードカウンタとする。

[ 表 2 ] に順序回路のステート定義を示す。

リセット時、無信号時は常にステート S 0 になる。

入力信号がアクティブになるとステート S 1 に遷移し、ステート S 1 から S 4 までの遷移は入力に無関係に CLK だけで遷移する。この間をデコードして 200nSec の L パルスにする。

状態 S4 ~ S7 は入力信号アクティブ継続中に遷移し、状態 S7 に到ると以降は S7 に留まる。信号がネゲートされた時点で S0 に戻る。[ 図 9 ] は以上を状態遷移図にしたものである。



[ 図 8 ] 波形整形部の構成

グレイカウンタ 状態	C2	C1	C0	順序回路入力条件		出力 ( 負論理 ) /FMD_RXD
				V_RXD	RESET	
S0	0	0	0	0	OR 1	1
S1	0	0	1	1	AND 0	0
S2	0	1	1	任意	0	(4CLK × 50nSec = 200nSec 間出 力が真になる)
S3	0	1	0			
S4	1	1	0			
S5	1	1	1	1	AND 0	1
S6	1	0	1			
S7	1	0	0			

[ 表 2 ] 順序回路状態定義

カウンタの論理式は [ 図 1 0 ] のカルノー図で求める。図中の論理式中の SQRST は、カウンタ全ビットのリセット条件 ( 即ち状態 S0 への移行 ) を示し、前記の説明から

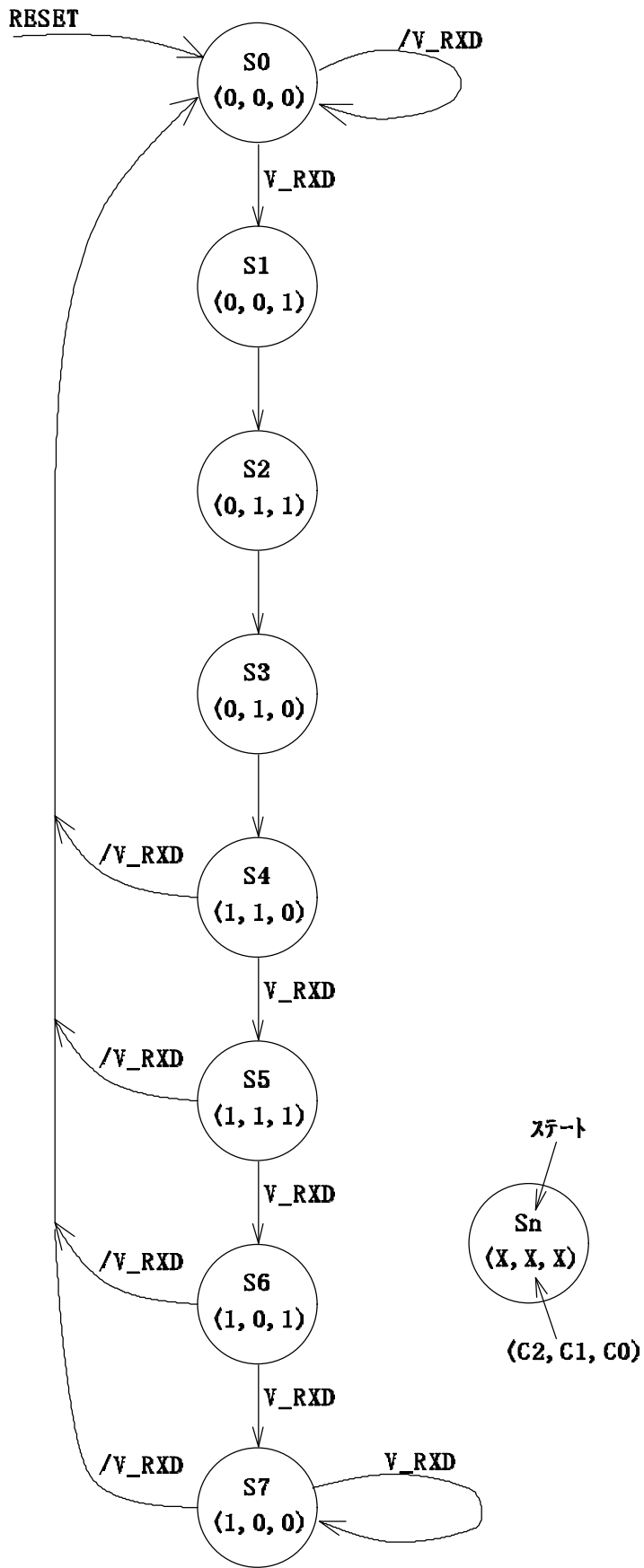
$$SQRST = RESET + /FMD\_RXD \cdot (S4+S5+S6+S7)$$

である。ここで (S4+S5+S6+S7) は論理式からも求められるが [ 表 2 ] から明らかに C2 =1 の場合である。従って

$$SQRST = RESET + /FMD\_RXD \cdot C2$$

となる。

ノイズ除去部でノイズ除去された 150 nSec、250 nSec の検出信号 V\_RXD を、200 nSec の /FMD\_RXD に波形整形する様子を [ 図 1 1 ] に示す。



[図9] 順序回路状態遷移図

C1 C0 V_RXD C2		0 0		0 1		1 1		1 0	
		0	0	0	1	1	1	1	0
0	0	0	1	0	0	0	0	0	0
0	1	0	0	0	0	0	0	0	0
1	1	0	0	1	1	1	1	0	0
1	0	1	1	0	0	0	0	0	0

$$C0 = \begin{aligned} & /SQRST \cdot /V\_RXD \cdot /C2 \cdot /C1 \cdot C0 \\ & + /SQRST \cdot V\_RXD \cdot C2 \cdot C1 \\ & + /SQRST \cdot V\_RXD \cdot /C2 \cdot /C1 \end{aligned}$$

( a ) C 0 の論理

C1 C0 V_RXD C2		0 0		0 1		1 1		1 0	
		0	0	0	1	1	1	1	0
0	0	0	1	1	1	1	1	0	0
0	1	0	0	0	0	0	0	0	0
1	1	0	0	0	0	0	0	1	1
1	0	0	1	1	1	1	1	0	0

$$C1 = \begin{aligned} & /SQRST \cdot /C2 \cdot C1 \\ & + /SQRST \cdot /C2 \cdot C0 \\ & + /SQRST \cdot V\_RXD \cdot C2 \cdot C1 \cdot /C0 \end{aligned}$$

( b ) C 1 の論理

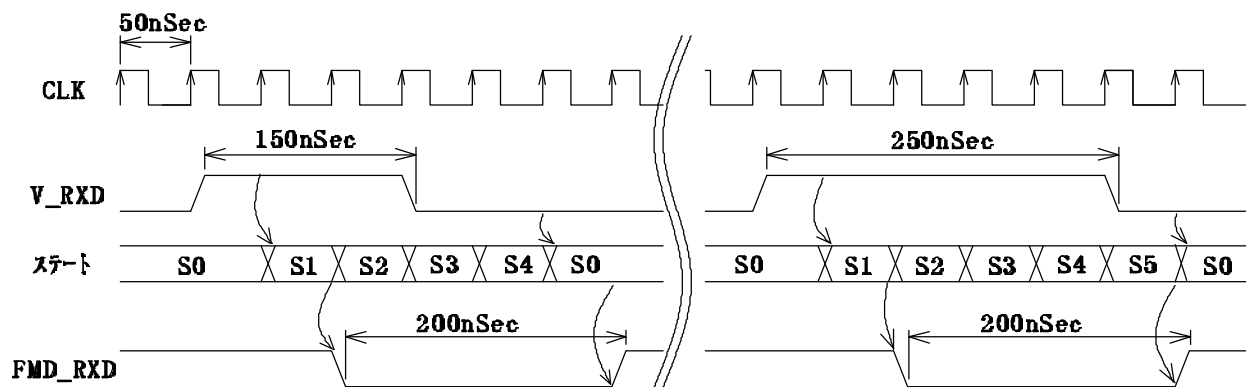
C1 C0 V_RXD C2		0 0		0 1		1 1		1 0	
		0	0	0	1	1	1	1	0
0	0	0	0	0	0	0	0	1	1
0	1	0	0	0	0	0	0	0	0
1	1	1	1	1	1	1	1	0	0
1	0	0	0	0	0	0	0	1	1

$$C2 = \begin{aligned} & /SQRST \cdot /C2 \cdot C1 \cdot /C0 \\ & + /SQRST \cdot V\_RXD \cdot C2 \end{aligned}$$

( c ) C 2 の論理

[ 図 1 0 ] グレイカウンタカルノー図





[ 図 1 1 ] 順序回路タイムチャート

#### 4 - 6 PLDプログラム

[ 図 1 2 ] に PLD プログラムリストを示す。プログラム表記は C U P L による。( ! は NOT、& は AND、# は OR、\$ は E x O R )

```

NAME      WAVE_FORMER ;
PARTNO    PLD1001     ;
DATE      95/01/01   ;
REV       00          ;
DESIGNER  Fujio Ozawa ;
COMPANY   ProXi      ;
ASSEMBLY  PX9999     ;
LOCATION    IC10       ;
/*****
/* Allowable Target Device Types: GAL16V8B-15 */
/*****
/** Input **/
PIN 1     = CLK           ; /* CLOCK(20MHz)           */
PIN 2     = RXD           ; /* RECEIVE DATA (L)     */
PIN 3     = RESET        ; /* RESET (H)             */
PIN 11    = OUTENB       ; /* OUTPUT ENABLE (L)    */

/** Outputs **/
PIN 12    = Q0           ; /* LATCH0 (H)           */
PIN 13    = Q1           ; /* LATCH1 (H)           */
PIN 14    = Q2           ; /* LATCH2 (H)           */
PIN 15    = V_RXD        ; /* VALID RECEIVE DATA (H) */
PIN 16    = C0           ; /* GRAY COUNTER C0 (H)  */
PIN 17    = C1           ; /* GRAY COUNTER C1 (H)  */
PIN 18    = C2           ; /* GRAY COUNTER C2 (H)  */
PIN 19    = FMD_RXD      ; /* FORMED RECEIVE DATA (L) */

/** Definition **/
SQRST     = RESET
          # !V_RXD & C2      ; /* SEQUENCER RESET (H)  */

/** Logic Equations **/
Q0.D      = !RXD           & !RESET           ;
Q1.D      = Q0            & !RESET           ;
Q2.D      = Q1            & !RESET           ;
V_RXD.D   = Q0 & Q1 & Q2 & !RESET
          # (Q0 $ Q1 # Q1 $ Q2 # Q2 $ Q0) & V_RXD & !RESET ;
C0.D      = !V_RXD & !C2 & !C1 & C0 & !SQRST
          # V_RXD & C2 & C1 & !SQRST

```

	#	V_RXD & !C2 & !C1	& !SQRST ;
C1.D	=	!C2 & (C1 # C0)	& !SQRST
	#	V_RXD & C2 & C1 & !C0	& !SQRST ;
C2.D	=	!C2 & C1 & !C0	& !SQRST
	#	V_RXD & C2	& !SQRST ;
!FMD_RXD.D	=	!C2	& C0 & !RESET
	#		C1 & !C0 & !RESET ;

[ 図 1 2 ] P L D プログラムリスト

この中で、波形整形部出力 /FMD\_RXD はステート条件が (S1+S2+S3+S4) で真になるものであり、[ 表 2 ] からその論理式は  $\overline{C2} \cdot C0 + C1 \cdot \overline{C0}$  となることが容易に判る。

#### 4 - 7 結果

以上の波形整形回路 ( P L D ) に、ノイズを含む模擬受信信号を入力し、その出力波形を観測することにより、正しく動作することを確認した。また、本回路を使用した実際の L A N システムのノイズ試験でもその効果が確認された。

#### 5 . あとがき

本稿で述べた波形整形回路のノイズ除去部は、符号方式によらずに全てのシステムに適用可能である。

波形整形部は符号方式に応じて変更する必要がある、N R Z 符号のように信号波形が不定の場合は、そのままでは適用できない。従って本回路の適用に際しては、各々のシステムに応じてその適用方法を検討されたい。

また、波形整形回路ではその動作の為に、等価的に数 C L K 分の信号遅延が送受信装置間で発生するので、適用の際にはこれがシステムに悪影響を及ぼさないことを予め確認する必要がある。

3 - 4 で述べたように、本回路は全てデジタル回路であり、実現のためのデバイスを選ばない。F P G A や大規模 P L D の一部を用いれば、高いコスト / パフォーマンスのノイズ対策となり得る。さらに、通信コントローラ内に機能として内蔵することも可能であり、ユーザーとして望みたいところである。

#### 参考文献

- 1 ) 宮崎誠一：データ伝送技術実用ノウハウのすべて C Q 出版社 ( 1 9 9 1 年 )
- 2 ) 小林芳直：P L D の論理回路設計法  
C Q 出版社 ( 1 9 8 8 年 )
- 3 ) COM 2 0 0 2 0 B 日本語版データシート Rev . 2  
東洋マイクロシステムズ ( 1 9 9 4 年 )
- 4 ) A R C N E T T e c h n i c a l M a n u a l  
東洋マイクロシステムズ ( 1 9 9 3 年 )